

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 53-042619
(43)Date of publication of application : 18.04.1978

(51)Int.CI. H04N 1/12
G06K 9/00

(21)Application number : 51-117670 (71)Applicant : FUJITSU LTD
(22)Date of filing : 30.09.1976 (72)Inventor : MORITA TETSUO

(54) PICTURE-AND-WRITING SIGNAL READING CONTROL SYSTEM

(57)Abstract:

PURPOSE: To constitute the picture-and-writing signal reading control system which does not reduce the resolution of pictures and writings and does not increase the amount of transmission information even if a thin line is employed.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨日本国特許庁
公開特許公報

①特許出願公開
昭53-42619

⑩Int. Cl.²
H 04 N 1/12
G 06 K 9/00

識別記号
⑨日本分類
97(3) A 22
97(7) B 62

庁内整理番号
7245-59
6974-56

⑩公開 昭和53年(1978)4月18日
発明の数 1
審査請求 未請求

(全4頁)

④書画信号読取制御方式

②特 願 昭51-117670
②出 願 昭51(1976)9月30日
②発明者 森田徹郎

川崎市中原区上小田中1015番地
富士通株式会社内
⑦出願人 富士通株式会社
川崎市中原区上小田中1015番地
⑦代理人 弁理士 松岡宏四郎

明細書の序書(内容に変更なし)
明細書

1. 発明の名称 書画信号読取制御方式

2. 特許請求の範囲

(1) 前走査方向に送られるドキュメントを該走査方向と交叉する主走査方向に走査した走査線信号をえる書画信号読取制御方式において、

1つの走査線信号を得るために該ドキュメントを複数回走査して読取信号を得、該複数の読取信号の論理和をとつて該走査線信号とすることを特徴とする書画信号読取制御方式。

(2) 上記読取信号を得ため、読取素子に駆動信号を与えるとともに該駆動信号に同期して上記論理和をとることを特徴とする特許請求の範囲 第(1)項記載の書画信号読取制御方式。

(3) 上記複数の読取信号の論理和をとるため、読取信号を蓄積するメモリを設け、該メモリの出力信号と次の読取信号の論理和をとり、該メモリに蓄積することを特徴とする特許請求の範囲 第(1)項又は第(2)項記載の書画信号読取制御方式。

3. 発明の詳細な説明

本発明はファクシミリ装置等における書画信号読取制御方式に関する。

近年ファクシミリの読取センサーとして CCD 電荷結合素子)やホトダイオードアレー等の走査速度の速いセンサーが利用されている。

一方、ファクシミリ装置は予め定められた前走査線密度で原稿を走査するよう構成されており、例えば前走査線密度が4本/mmであるものが、一般的である。

このファクシミリ装置では、ファクシミリの主走査速度は伝送回線の伝送速度で定められてしまい高遡化は限られてしまう。例えば、伝送速度が 10000 ピット/秒の場合には走査ラインのピット数を 1020 とすると、10000/1010=10 Hz の主走査周波数となる。

主走査周波数を 10 Hz、前走査線密度を 4 本/mm とすると、原稿が 1 秒間に進む速度は 10/42.5 mm/sec であり、前述の読取センサーを利用すると読取られる領域が極端に小さくなる。

例えば、読取センサーの走査速度は一般に 4 ms 相

度であるので、既取期間中の原稿移動量は $25 \times 4 = 10 \mu\text{m}$ となり、 $250 \mu\text{m}$ (1/4本) 每の主走査に対し、わずか $10 \mu\text{m}$ の領域しか走査されないことになる。

このため、明暗体のような横線の細いもの ($100 \mu\text{m}$) は欠けてしまうことがある、書画の解像度が落ちてしまうという欠点があつた。

これを補うため、伝送周走査線密度をこまかくすることが考えられるが伝送情報量が増加し、伝送時間が長くなる問題がある。

本発明は上述の点を考慮し、書画の解像度を落とさず、且つ伝送情報量を増加することのない書画信号既取制御方式を提供することを目的とするものである。

この目的の達成のため、本発明書画信号既取制御方式は、既走査方向に送られるドキュメントを該既走査方向と交叉する走査方向に主走査し走査線信号をえる書画信号既取制御方式において

1つの走査線信号をえるために該ドキュメントを複数回走査して既取信号を得、該複数の既取信号

の論理和をとつて該走査線信号とすることを特徴とする。

以下、本発明を一実施例に沿つて説明する。

第1図は本発明の一実施例ブロック図、第2図は第1図ブロック図の波形図を示す。

1は既取センサーとしてのCCD素子、2はCCD制御部、8はゲート制御回路、4は切替制御回路、5, 6, 7はシフトレジスタからなるメモリ、8乃至19はゲート回路を示す。図中の信号線の内太線は既取信号の経路、細線は制御信号の経路を示すものとする。

CCD制御部2より駆動クロックaがCCD素子1及びゲート制御回路8へ与えられる。

CCD素子1は自走型受光素子であり、駆動クロックaと同期して、例えば1024ビットの画像既取信号が直列にゲート回路8に出力される。

CCD制御回路2は駆動クロックaを基に既取信号のみを取出すようなゲート信号bをゲート回路8に出力する。ゲート回路8はゲート信号bによりCCD素子1の出力信号から画像の既取信号の

みをゲートして出力する。

この既取信号はゲート回路9, 10及びメモリ5からなる螢光灯光量補正回路に入力させる。

螢光灯光量補正回路は商用周波数で点灯する螢光灯の光量むらによる画像の劣化を補正するもので、螢光灯の暗い時には黒信号の巾が長くなり、明るい時には黒信号の巾が短くなる現象を均一化するものである。この回路の詳細は本出願人が既に提案しているので説明は省くが、簡単に説明するとCCD素子の既取信号の内、黒に対応する黒信号を"1", 白に対応する白信号を"0"とすると、ゲート回路9でメモリ5から出力された前の既取信号と次の既取信号との論理積をとり再度メモリ5に入力する。

従つて、黒信号は最も巾の短いものが最終的にメモリ5に蓄積される。メモリ5のシフトバスはゲート回路10を介しゲート信号bの存在期間入力される。

ゲート回路9にはCCD制御回路2の駆動クロックaに応じてゲート制御回路8で作成されたゲー

ト制御信号cにより制御される。

即ち、ゲート回路9は通常はゲード回路8の出力を通過させ、ゲート制御信号cの存在期間のみメモリ5の出力とゲート回路8の出力の論理積をとり、論理積出力をメモリ5に与える。図では8回の論理積動作を行なう。

従つて、メモリ5の中では4回の走査によりえられた既取信号を統合させたものがえられる。

メモリ5の出力は細線採取用ブロックに入力される。細線採取用ブロックはゲート回路11, 18, 15及びメモリ6とゲート回路12, 14, 16及びメモリ7とからなる2つのブロックからなり、これらのブロックの関係は一方のブロックで入力している間に他方のブロックの信号を出力するもので同期信号SYNCに応じて切替制御回路4で作成された切替信号f, gがゲート回路11, 12, 17, 18に入力されることにより切替が行なわれる。

このブロックの動作を説明すると、ゲート回路11には前述の切替信号gの他にゲート信号dが入力されており、両信号の条件の元にメモリ5の出力

をゲート回路 18 に入力するものでゲート回路 1 且はゲート制御信号 e が存在するときのみメモリ 6 の出力とゲート回路 11 の出力の論理和をとるもので、通常はゲート回路 11 の出力を通過させる。

即ち、ゲート信号 d により 1 同期信号周期間に 4 回入力された読み取り信号の論理和を 8 回とり細線を採取する。

黒信号が "1" であるから 4 回に 1 回黒信号があつてもメモリ 6 が "1" がセットされる。

ゲート回路 15 はメモリ 6 のシフトバスの入力に利用され、条件はゲート回路 11 と同一である。即ち、ゲート回路 11 からの信号入力中はクロック CL 1 を、又ゲート回路 11 が閉じゲート回路 17 が開放された時はクロック CL 2 が与えられる。

もう一方のブロック、ゲート回路 12, 14, 16 メモリ 7 からなるブロックも同様の動作を行なうもので、ゲート回路 12 はゲート回路 11 と、ゲート回路 14 はゲート回路 18 と、ゲート回路 16

はゲート回路 15 と、メモリ 6 はメモリ 7 と同一の構成で同一の機能を果す。

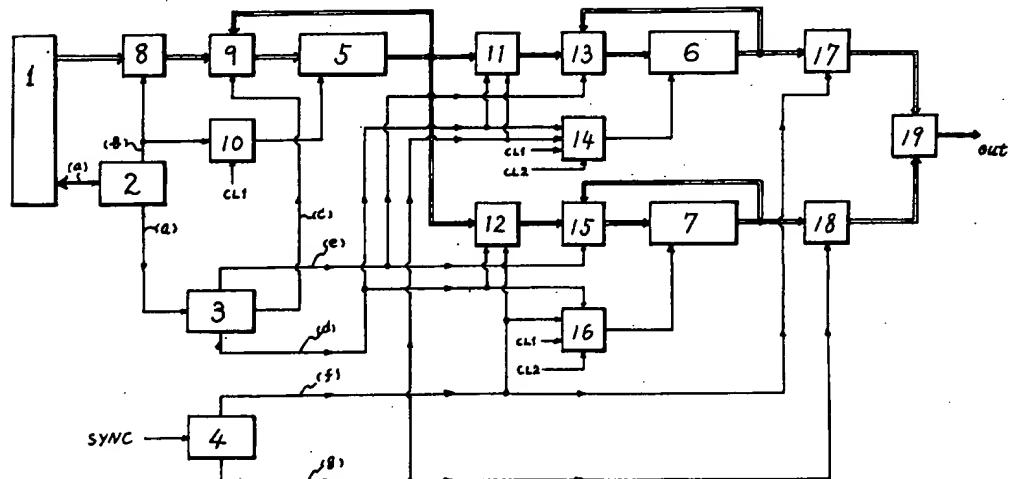
ゲート回路 19 はオアゲートであり、最終の走査線信号を出力する。

このように本発明によれば、細線の採取が可能で且つ伝送量を増加させないという効果がえられ、しかも構成も単にゲート回路の付加のみで済むという経済的効果もある。

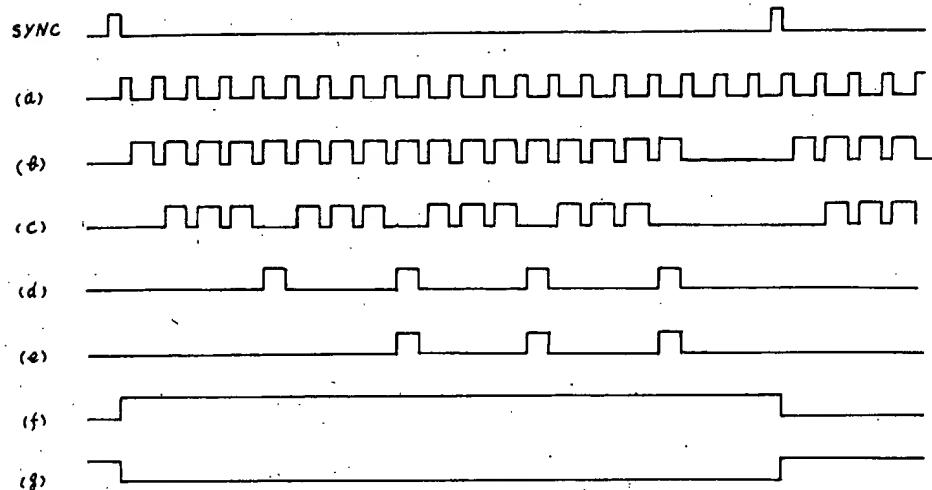
4. 図面の簡単な説明

第 1 図は本発明の一実施例ブロック図、第 2 図は第 1 図ブロック図の各部波形図を示し、図中、1 は CCD 素子、2 は CCD 制御回路、3 はゲート制御回路、4 は切替制御回路、5, 6, 7 はメモリ、8 乃至 19 はゲート回路を示す。

代理人 弁理士 松 岡 宏四郎



第 1 図



第2図

手続補正書(方式)

昭和53年12月27日

特許庁長官 片山石郎 殿
(特許審査課)
(特許審査官)

1. 事件の表示

昭和51年特許第1176109

2. 発明の名称

書画信号読取制御方式

3. 補正をする者

事件との関係

特許出願人

住所 神奈川県川崎市中原区上小田中1018番地

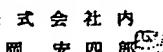
(522) 名称 富士通株式会社



4. 代理人

住所 神奈川県川崎市中原区上小田中1018番地

富士通株式会社内

(6433) 氏名 弁理士 松岡 宏四郎
電話 川崎 (044) 777-1111 内線(2871)

5. 補正命令の日付

昭和51年11月30日

6. 補正により増加する発明の数

1

7. 補正の対象

明細書

8. 補正の内容

手書き明細書をタイプ作成に補正。
内容についての補正はない。